

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平7-83478

(24) (44) 公告日 平成7年(1995)9月6日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 7/30			H 0 4 N 7/ 133	Z
G 0 6 T 9/00			G 0 6 F 15/ 66	3 3 0 H

請求項の数3(全 9 頁)

(21) 出願番号	特願平4-14598	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成4年(1992)1月30日	(72) 発明者	水澤 和史 神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内
(65) 公開番号	特開平6-46397	(72) 発明者	田中 章喜 神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内
(43) 公開日	平成6年(1994)2月18日	(72) 発明者	菊池 康弘 神奈川県川崎市多摩区東三田3丁目10番1号 松下技研株式会社内
		(74) 代理人	弁理士 小鍛冶 明 (外2名)
		審査官	下道 晶久
		(56) 参考文献	特開 平1-135266 (J P, A)

(54) 【発明の名称】 画像符号化装置

【特許請求の範囲】

【請求項1】 一定のブロックサイズで入力される信号を、離散コサイン変換係数に変換して出力する離散コサイン変換回路と、複数のブロックサイズで入力される信号を、その鏡像を作成することにより、上記離散コサイン変換回路に適したブロックサイズに変換して出力する鏡像発生回路と、上記離散コサイン変換回路から出力される離散コサイン変換係数を、上記鏡像発生回路への入力信号をそのままのブロックサイズで離散コサイン変換した際に得られる離散コサイン変換係数に変換して出力する間引き回路と、一定のブロックサイズで入力される離散コサイン変換係数信号を、逆離散コサイン変換して出力する逆離散コサイン変換回路と、複数のブロックサイズで入力される信号を、補間により、上記逆離散コサイン変換回路に適したブロックサイズに変換して出力す

る補間回路と、上記逆離散コサイン変換回路からの出力信号を、上記補間回路への入力信号をそのままのブロックサイズで逆離散コサイン変換した際に得られる信号に変換して出力する鏡像削除回路とを具備した画像符号化装置。

【請求項2】 一定のブロックサイズで入力される信号を、離散コサイン変換係数に変換して出力する離散コサイン変換回路と、複数のブロックサイズで入力される信号を、その鏡像を作成することにより、上記離散コサイン変換回路に適したブロックサイズに変換して出力する鏡像発生回路と、上記離散コサイン変換回路から出力される離散コサイン変換係数を、上記鏡像発生回路への入力信号をそのままのブロックサイズで離散コサイン変換した際に得られる離散コサイン変換係数に変換して出力する間引き回路とを具備した離散コサイン変換装置。

【請求項3】 一定のブロックサイズで入力される離散コサイン変換係数信号を、逆離散コサイン変換して出力する逆離散コサイン変換回路と、複数のブロックサイズで入力される信号を、補間により、上記逆離散コサイン変換回路に適したブロックサイズに変換して出力する補間回路と、上記逆離散コサイン変換回路からの出力信号を、上記補間回路への入力信号をそのままのブロックサイズで逆離散コサイン変換した際に得られる信号に変換して出力する鏡像削除回路とを具備した逆離散コサイン変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像の高効率符号化装置に用いられる離散コサイン変換（以下、DCTと称する）装置、逆離散コサイン変換（以下、IDCTと称する）装置、並びにこれらの装置を用いた画像符号化装置に関するものである。

【0002】

【従来の技術】近年、画像の符号化方式の国際標準化が進められており、標準方式の候補として、DCTを用いた画像の符号化方式が有力である。DCT装置と、IDCT装置とは、このDCTを用いた画像符号化装置に用いられる。この画像符号化装置としては、動画画像符号化方式の国際標準化を推進するMPEGによる符号化参照モデルSM3が示す構成が知られている（ISO-IEC/JTC1/SC2/WG11 N0010）。

【0003】以下に、従来の符号化装置について説明する。図7は、従来の符号化装置の構成を示すものである。図7において、71は減算器、72はDCT回路、73は量子化回路、74は符号化回路、75はIDCT回路、76は逆量子化回路、171は入力端子、172は出力端子である。

【0004】以上のように構成される符号化装置について、以下その動作を説明する。減算器71は、入力端子171への入力信号と、IDCT回路75の出力信号との差を求める。DCT回路72は、減算器71の出力信号をDCTする。DCT回路72の出力信号は、量子化回路73で量子化され、符号化回路74と逆量子化回路76とへ出力される。符号化回路74は、量子化回路73の出力信号を符号に変換し、出力端子172から出力する。逆量子化回路76は、量子化回路73の出力信号を逆量子化する。この逆量子化された信号は、IDCT回路75で、さらにIDCTされた後、減算器71へ出力される。上記DCT回路とIDCT回路とを実現するアルゴリズムとして、森川らの「チェビシェフ多項式の逐次的因数分解に基づく高速コサイン変換アルゴリズム」（情報通信学会論文誌（A）、J68-A、2、p. 173-180、1985-02）が知られている。

【0005】

【発明が解決しようとする課題】上記従来の構成では、DCTする際の単位であるブロックサイズを、 $N \times N$ （縦×横）、 $M \times N$ 、 $N \times M$ 、 $M \times M$ と複数にした際（ Z ：自然数、 $M \in Z$ 、 $N = 2M$ ）、各ブロックサイズのDCTを実行するには、必要となる全てのブロックサイズに対応する複数のDCT回路を設けるか、ブロックサイズが $N \times N$ のDCT回路のみを設け、ブロックサイズが $N \times N$ よりも小さいDCTは、足りない信号を例えば全て0であるとして補い、ブロックサイズを $N \times N$ に変換してDCTする必要があった。複数のDCT回路を設ける場合には、新たに $M \times N$ 、 $N \times M$ 、 $M \times M$ のブロックサイズに対応するDCT回路と、IDCT回路とを作成する必要があり、その結果ハードウェア規模が増大してしまうという課題を有していた。また、ブロックサイズを変換する場合には、DCTの結果がブロックサイズの変換に大きく左右されるという課題を有していた。

【0006】本発明は上記従来の課題を解決するもので、 $M \times N$ 、 $N \times M$ 、 $M \times M$ などの複数のブロックサイズを持つ入力信号を、その鏡像を発生することにより、ブロックサイズが $N \times N$ の信号に変換して、 $N \times N$ のDCT回路によりDCT係数を求め、それらを $M \times N$ 、 $N \times M$ 、 $M \times M$ などの元のブロックサイズのDCT係数に変換することで、ブロックサイズの変換の影響をまったく受けずに $N \times N$ のDCT回路を用いて複数のブロックサイズのDCTを実現するDCT装置と、 $M \times N$ 、 $N \times M$ 、 $M \times M$ といった複数のブロックサイズに対するDCT係数を、ブロックサイズが $N \times N$ のDCT係数に変換した後、 $N \times N$ のIDCT回路でIDCTし、さらに元のブロックサイズのIDCTの出力結果に変換することで、 $N \times N$ のIDCT回路を用いて複数のブロックサイズのIDCTを実現するIDCT装置と、これらのDCT装置とIDCT装置とを用いて、ブロックサイズの異なる複数のDCT・IDCTを用いた画像の符号化を、ハードウェアの規模を増大することなく実現する画像符号化装置とを提供することを目的とする。

【0007】

【課題を解決するための手段】この目的を達成するために、本発明のDCT装置は、入力信号を $N \times N$ のブロックサイズに変換する鏡像発生回路と、ブロックサイズが $N \times N$ のDCTを実現するDCT回路と、 $N \times N$ のDCT係数を、入力時のブロックサイズでDCTした時のDCT係数に変換する間引き回路とを有しており、本発明のIDCT装置は、入力されたDCT係数を $N \times N$ のブロックサイズにおけるDCT係数に変換する補間回路と、ブロックサイズが $N \times N$ のIDCTを実現するIDCT回路と、IDCTした $N \times N$ の信号を、入力されたブロックサイズでIDCTした信号に変換する鏡像削除回路とを有しており、本発明の画像符号化装置は、複数の変換幅のDCTを実現する上記DCT装置と、複数の変換幅のIDCTを実現する上記IDCT装置とを有し

ている。

【0008】

【作用】この構成により、DCT装置では、ブロックサイズが $M \times N$ ($M=N/2$)、 $N \times M$ 、 $M \times M$ などの入力信号を、鏡像発生回路で $N \times N$ のブロックサイズの信号に変換して、 $N \times N$ のDCT回路で $N \times N$ のDCT係数に変換した後、間引き回路で $M \times N$ などの元のブロックサイズに対するDCT係数に変換することにより、 $N \times N$ のDCT回路を用いて、複数のブロックサイズのDCTを実現できる。また、IDCT装置では、ブロックサイズが $M \times N$ 、 $N \times M$ 、 $M \times M$ などのDCT係数を、補間回路で $N \times N$ のブロックサイズのDCT係数に変換し、これを $N \times N$ のIDCT回路でIDCTして、 $N \times N$ の信号に変換した後、鏡像削除回路で $M \times N$ 、 $N \times M$ 、 $M \times M$ の各ブロックサイズの信号に変換することにより、 $N \times N$ のIDCT回路を用いて、複数のブロックサイズに対するIDCTを実現できる。

【0009】さらに、画像符号化装置では、このDCT装置と、IDCT装置とを用いることにより、 $N \times N$ 、 $M \times N$ 、 $N \times M$ 、 $M \times M$ などの複数のブロックサイズのDCTを用いた符号化を、 $N \times N$ の1つのブロックサイズに対するDCT、IDCT回路を用いて実現でき、その結果、従来の画像符号化装置ではブロックサイズの数だけ並列に設置する必要のあったDCT装置、IDCT装置が、各1つで十分となり、大幅にハードウェア規模を削減できる。

【0010】

【実施例】（実施例1）以下本発明の第1の実施例について、図面を参照しながら説明する。図1は本発明の第1の実施例におけるDCT装置のブロック結線図である。

【0011】図1において、11は鏡像発生回路、12

は 8×8 のブロックサイズのDCTを実現するDCT回路、13は間引き回路、111はブロックサイズを示す信号の入力端子、112は画像信号の入力端子、113はDCT係数の出力端子である。

【0012】以上のように構成されたDCT装置について、以下その動作を説明する。鏡像発生回路11では、まず、 8×4 などのブロックサイズを示す信号が入力端子111に入力され、この信号を基に入力端子112から入力される画像信号を、図2に示すそれぞれ 4×4 の領域を持つメモリ空間A、B、C、Dの予め定めた位置に配置する。例えば、ブロックサイズが 8×8 の場合は、A、B、C、Dの領域に、ブロックサイズが 4×8 の場合は、A、Bの領域に、ブロックサイズが 8×4 の場合は、A、Cの領域に、ブロックサイズが 4×4 の場合は、Aの領域に、各画像信号を配置する。次に、メモリ空間内でこのデータをコピーして、入力データの鏡像を発生し、DCT回路12へと出力する。ブロックサイズが 4×8 の場合は、領域ABのデータを、X軸に対称にCDへとコピーする。ブロックサイズが 8×4 の場合は、領域ACのデータを、Y軸に対称にBDへとコピーする。ブロックサイズが 4×4 の場合は、領域Aのデータを、X軸に対称にBへとコピーし、さらに、Y軸に対称にABをCDへとコピーする。DCT回路12は、 8×8 の入力信号を 8×8 のDCT係数へと変換する。このとき、 8×4 、 4×8 、 4×4 のDCT係数と 8×8 のDCT係数との関係は、(数1)に示す通りである。ただし、(数1)において、ブロックサイズが $N \times M$ (縦×横)のU行V列のDCT係数を $F[N, M]$ (U, V)とした。

【0013】

【数1】

$$F[8 \times 4](U, V) = F[8 \times 8](U, 2V) / \sqrt{2}$$

$$\{U, V\} = \{U \in Z, V \in Z, 0 \leq U \leq 7, 0 \leq V \leq 3\} \dots (1)$$

$$F[4 \times 8](U, V) = F[8 \times 8](2U, V) / \sqrt{2}$$

$$\{U, V\} = \{U \in Z, V \in Z, 0 \leq U \leq 3, 0 \leq V \leq 7\} \dots (2)$$

$$F[4 \times 4](U, V) = F[8 \times 8](2U, 2V) / 2$$

$$\{U, V\} = \{U \in Z, V \in Z, 0 \leq U \leq 3, 0 \leq V \leq 3\} \dots (3)$$

【0014】間引き回路13では、入力端子111より入力されるブロックサイズを示す信号を基に、(数1)に従ってDCT回路12の出力であるDCT係数を間引き、出力端子113から出力する。この動作を、図2を用いて説明する。 8×8 のDCT係数を図2に示すメモリ空間ABCDに、Aの左上がDCT係数(0, 0)、Bの右上が横方向のみの高周波を示す係数(0, 7)、Cの左下が縦方向のみの高周波を示す係数(7, 0)、Dの右下が縦、横、両方向の高周波を示す係数(7, 7)となるように配置する。このDCT係数を、右上(0,

0)から右下(7, 7)へとラスタスキャンしたときの順番で間引き回路13に入力し、横方向のブロックサイズが4の場合は一列毎に間引いて乗算器で $1/\sqrt{2}$ 倍し、縦方向のブロックサイズが4の場合は1行毎に間引いて乗算器で $1/\sqrt{2}$ 倍して出力する。

【0015】以上のように本実施例によれば、ブロックサイズが 8×4 、 4×8 、 4×4 の入力信号を、ブロックサイズが 8×8 の信号へと変換する鏡像発生回路11と、ブロックサイズが 8×8 のDCTを実行するDCT回路12と、 8×8 のDCT係数を入力信号のブロック

サイズに応じて、 8×4 、 4×8 、 4×4 のDCT係数へと変換する間引き回路13とを設けることにより、ブロックサイズが 8×8 のDCT回路を用いて、ブロックサイズが 8×4 、 4×8 、 4×4 のDCTを実現できる。

【0016】（実施例2）以下本発明の第2の実施例について、図面を参照しながら説明する。図3は本発明の第2の実施例におけるIDCT装置のブロック結線図である。

【0017】図3において、31は補間回路、32はIDCT回路、33は鏡像削除回路、131ブロックサイズを示す信号の入力端子、132はDCT係数の入力端子、133は出力端子である。

【0018】以上のように構成されたIDCT装置について、以下その動作を説明する。補間回路31では、まず、 8×4 などのブロックサイズを示す信号が入力端子131に入力され、この信号を基に入力端子132に入力されるDCT係数を（数1）に従って補間し、 8×8 のDCT係数へと変換する。入力信号の横方向のサイズが4の場合は、横方向の成分が奇数となる位置の係数（Y, ODD）（Yは自然数で7以下、ODD=1, 3, 5, 7）に0を代入し、横方向の成分が偶数となる位置の係数（Y, EVEN）（EVEN=0, 2, 4, 6）には、入力信号の（Y, X）（X=0, 1, 2, 3）を乗算器で $\sqrt{2}$ 倍した信号をそれぞれEVEN=2 \times Xの位置に代入して補間する。縦方向のサイズが4の場合は、横方向のサイズが4の場合と同様に、縦方向の成分が奇数となる位置の係数に0を代入し、縦方向の成分が偶数となる位置の係数には、入力信号を乗算器で $\sqrt{2}$ 倍した信号を代入して補間する。IDCT回路32では、補間回路31の出力であるDCT係数をIDCTし、その結果を鏡像削除回路33に出力する。鏡像削除回路33では、ブロックサイズを示す信号が入力端子131から入力され、この信号を基にIDCTされた信号から必要なブロックサイズの信号を抽出する。図2を用いてこの抽出過程を説明する。鏡像削除回路33は、IDCT回路32の出力信号を、図2に示すメモリ空間ABCDの予め定めた位置に配置する。このとき、入力信号のブロックサイズが 4×8 の場合はABとCDとがX軸に、 8×4 の場合はACとBDとがY軸にそれぞれ対称となり、 4×4 の場合はACとBDとがX軸に、ABとCDとがY軸にそれぞれ対称となる。したがって、 4×8 の場合はABを、 8×4 の場合はACを、 4×4 の場合はAを、それぞれ抽出し、出力端子133から出力する。

【0019】以上のように本実施例によれば、 8×4 、 4×8 、 4×4 の各ブロックサイズに対するDCT係数を 8×8 のDCT係数へと変換する補間回路31と、 8×8 のIDCTを実行するIDCT回路32と、 8×8 のIDCTからの出力信号を入力信号のブロックサイズ

に応じてブロックサイズが 8×4 、 4×8 、 4×4 の信号へと変換する鏡像削除回路33とを設けることにより、ブロックサイズが 8×8 のIDCT回路を用いてブロックサイズが 8×4 、 4×8 、 4×4 のIDCTを実現できる。

【0020】（実施例3）以下本発明の第3の実施例について図面を参照しながら説明する。図4は本発明の第3の実施例における画像符号化装置のブロック結線図である。

【0021】図4において、40は減算器、41は間引き回路、42はDCT回路、43は量子化回路、44は符号化回路、45は補間回路、46はIDCT回路、47は逆量子化回路、141、142は入力端子、143は出力端子である。

【0022】以上のように構成された画像符号化装置について、以下その動作を説明する。減算器40は、入力端子141の入力信号と、補間回路45の出力信号との差を求める。間引き回路41では、入力端子142へ入力される間引きの程度を示す信号を基に減算器40の出力信号を間引く。DCT回路42では、入力端子142からの入力信号を基に間引き回路41の出力信号をDCTし、量子化回路43へと出力する。量子化回路43は、間引き回路41からの入力信号の値と別途決定される量子化幅とから量子化テーブルを参照し、間引き回路41からの入力信号を量子化した値を符号化回路44と逆量子化回路47とに出力する。符号化回路44では、量子化回路43の出力信号の値を基に符号テーブルから符号を引き、出力端子143から出力する。逆量子化回路47は、量子化時に用いた量子化幅と量子化回路47の出力信号とを基に逆量子化テーブルを参照して入力信号を逆量子化し、IDCT回路46に出力する。IDCT回路46では、入力端子142への入力信号を基に逆量子化回路47の出力信号をIDCTし、補間回路45へと出力する。補間回路45では、入力端子142の入力信号を基にIDCT回路46の出力信号を補間してブロックサイズが 8×8 の画像信号に変換し、減算器40へ出力する。

【0023】上記、間引き回路41と、補間回路45とについて、図面を参照しながら説明する。

【0024】まず、間引き回路41について説明する。図5は上記間引き回路41の構成を示すものである。図5において、50はメモリ、51は信号制御回路、52はメモリ呼出位置格納テーブル、53は遅延素子、54は加算器、55は乗算器、56は $1/2$ 間引き回路、151は、画像信号の入力端子、152は間引きの程度を示す信号の入力端子、153は出力端子である。

【0025】以上のように構成された間引き回路について、以下その動作を説明する。メモリ50は、入力端子151の入力信号を予め定められた位置に格納する。信号制御回路51は、入力端子152から入力される間引

きの程度を示す信号を基にメモリ呼出し位置格納テーブル 52 からデータの呼びだし位置を引き出し、メモリ 50 の内容を順次、遅延素子 53 と加算器 54 とに出力する。遅延素子 53 で 1 画素分遅延された信号は、加算器 54 で信号制御回路 51 の出力と加算され、乗算器 55 で 0.5 倍される。その後、1/2 間引き回路 56 で一画素おきに間引かれ、メモリ 50 の予め定められた位置に格納される。このとき、メモリ 50 からのデータ呼出の順番を制御することで、縦、横の両方向の間引きが可能となる。例えば、ブロックサイズが 8×8 の場合、このままの位置関係でメモリに格納し、1 行目を左から右へ、次に 2 行目を左から右へと、次々と最終行まで呼び出すことで横方向の間引きが実現でき、1 列目を上から下へ、次に、2 列目を上から下へと次々と最終列まで呼び出すことで縦方向の間引きが実現できる。間引きが終了した後、信号制御回路 51 は、1/2 間引き回路 56 の出力をメモリ 50 から呼び出して、出力端子 153 から出力する。

【0026】次に、補間回路 45 について説明する。図 6 は、上記補間回路 45 の構成を示すものである。60 はメモリ、61 は信号制御回路、62 はメモリ呼出位置参照テーブル、63、64 は遅延素子、65、66 は加算器、67 は乗算器、161 は画像信号の入力端子、162 は間引きの程度を示す信号の入力端子、163 は出力端子である。

【0027】以上のように構成される補間回路 45 について、以下その動作を説明する。メモリ 60 は、入力端子 161 の入力信号を予め定められた位置に格納する。信号制御回路 61 は、入力端子 162 へ入力される間引きの程度を示す信号を基にメモリ呼出し位置格納テーブル 62 からデータの呼びだし位置を引き出し、メモリ 60 の内容を順次、遅延素子 63 と加算器 65 とに出力する。このとき、信号制御回路 61 は、メモリ 60 から呼び出した信号と 0 とを交互に出力して入力信号を補間する。遅延素子 63 で 1 画素分遅延された信号は、加算器 66 と遅延素子 64 とに出力される。遅延素子 64 で 1 画素分遅延された信号は、加算器 65 で信号制御回路 60 の出力と加算され、乗算器 67 で 0.5 倍される。乗算器 67 の出力信号は、加算器 66 で遅延素子 63 の出力と加算され、メモリ 60 の予め定められた位置に格納される。補間終了後、信号制御回路 61 は、乗算器 67 の出力信号をメモリ 60 から呼出し、出力端子 163 から出力する。補間回路 45 においても間引き回路 41 と同様に、メモリ内のデータを読み出す順番を制御することで、縦、横、両方向の補間を実現できる。

【0028】以上のように本実施例によれば、DCT 装置と、IDCT 装置とを設けることにより、特定のブロックサイズに対応する DCT 回路と IDCT 回路とを用いて、複数のブロックサイズでの DCT を用いた符号化が可能となる。

【0029】

【発明の効果】以上のように本発明は、鏡像発生回路と、間引き回路とを設けることにより、特定のブロックサイズに対応する DCT 回路を用いてブロックサイズの異なる DCT を実現でき、補間回路と、鏡像削除回路とを設けることにより、特定のブロックサイズに対応する IDCT 回路を用いてブロックサイズの異なる複数の IDCT を実現できる。この DCT 装置と IDCT 装置とを符号化装置に設けることにより、特定のブロックサイズに対応した DCT、及び、IDCT 回路を用いたまま、複数のブロックサイズでの DCT を用いた符号化が可能となる。その結果、従来、使用するブロックサイズの個数だけ並列に設けることが必要であった DCT 回路、IDCT 回路を、1 つの DCT 回路、IDCT 回路で実現できるので、ハードウェア規模を削減することが可能となり、その効果は大である。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例における DCT 装置のブロック結線図

【図 2】同第 1 の実施例における DCT 装置のメモリ空間の配置図

【図 3】本発明の第 2 の実施例における IDCT 装置のブロック結線図

【図 4】本発明の第 3 の実施例における画像符号化装置のブロック結線図

【図 5】同第 3 の実施例における画像符号化装置の要部である間引き回路のブロック結線図

【図 6】同第 3 の実施例における画像符号化装置の要部である補間回路のブロック結線図

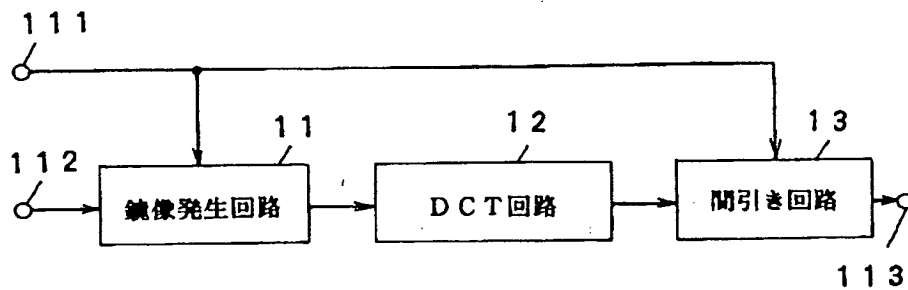
【図 7】従来の画像符号化装置のブロック結線図

【符号の説明】

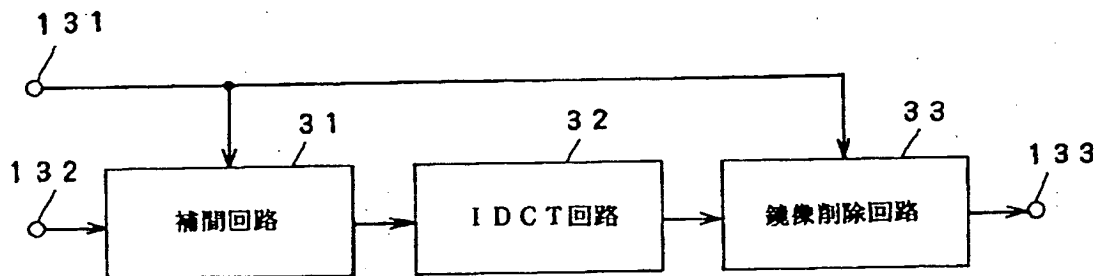
- 11 鏡像発生回路
- 12 DCT 回路
- 13 間引き回路
- 31 補間回路
- 32 IDCT 回路
- 33 鏡像削除回路
- 40 減算器
- 41 間引き回路
- 42 DCT 回路
- 43 量子化回路
- 44 符号化回路
- 45 補間回路
- 46 IDCT 回路
- 47 逆量子化回路
- 50 メモリ
- 51 信号制御回路
- 52 メモリ呼びだし位置格納テーブル
- 53 遅延素子
- 54 加算器

- | | |
|--------------------|-----------|
| 55 乗算器 | 67 乗算器 |
| 56 1/2間引き回路 | 71 減算器 |
| 60 メモリ | 72 DCT回路 |
| 61 信号制御回路 | 73 量子化回路 |
| 62 メモリ呼びだし位置格納テーブル | 74 符号化回路 |
| 63、64 遅延素子 | 75 IDCT回路 |
| 65、66 加算器 | 76 逆量子化回路 |

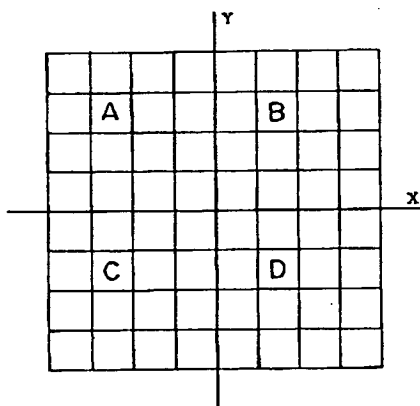
【図1】



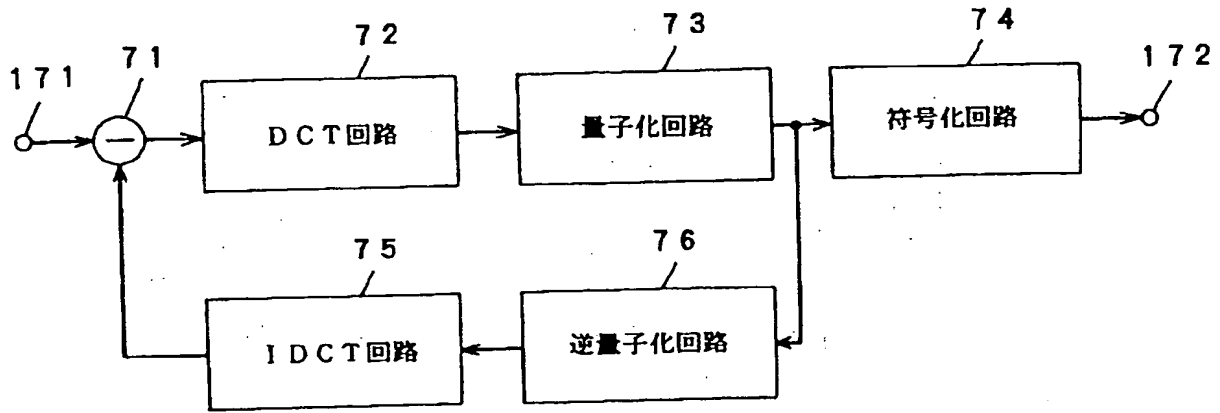
【図3】



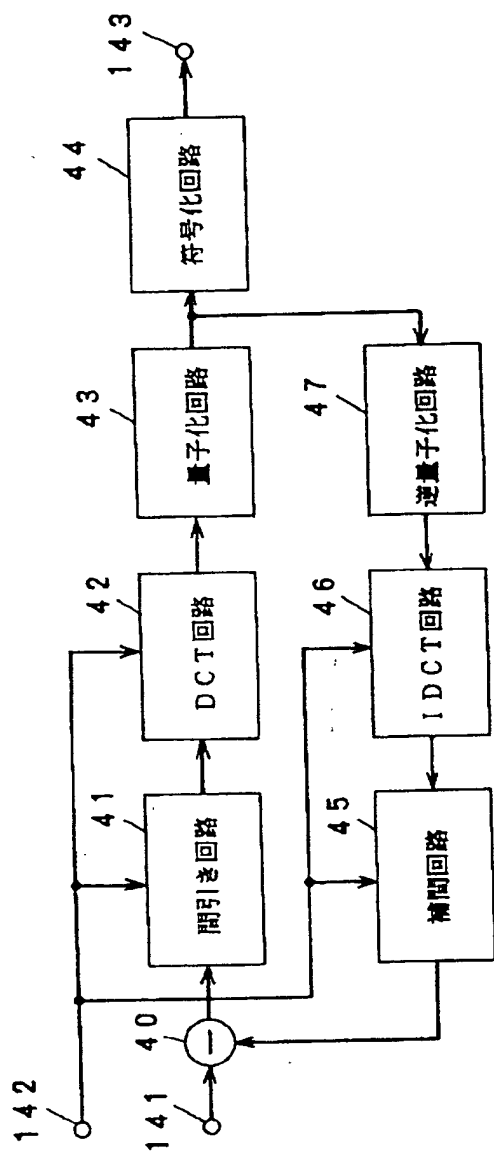
【図2】



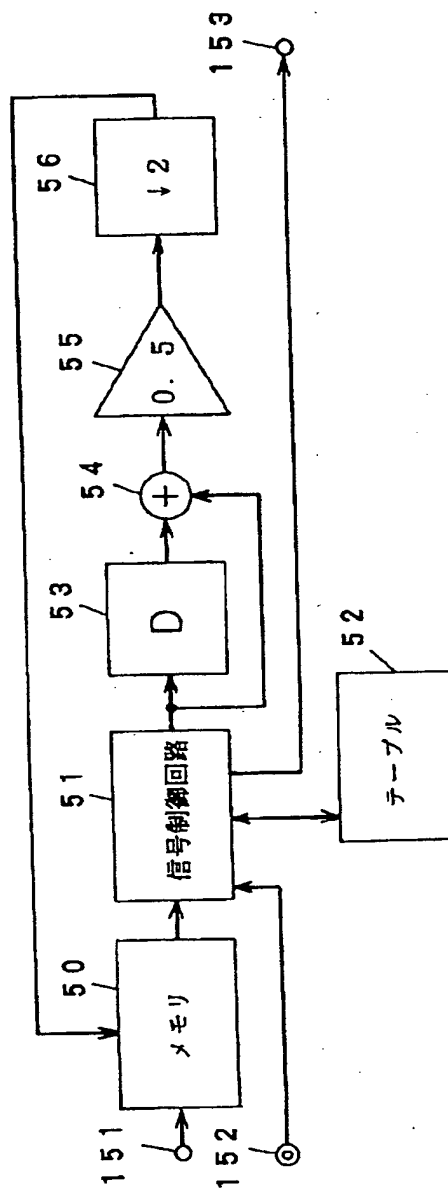
【图 7】



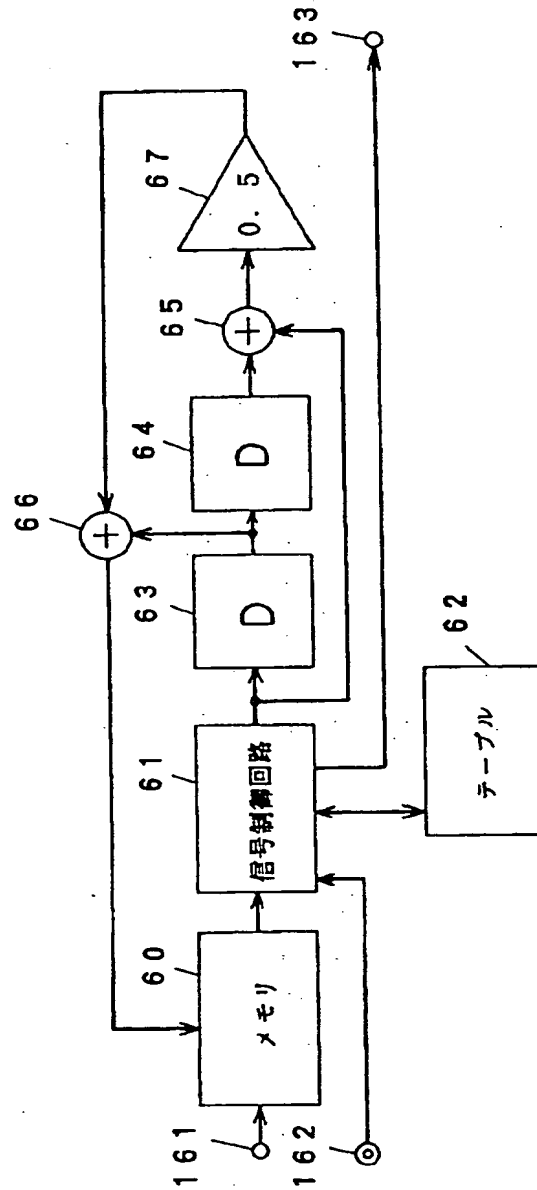
【図4】



【図5】



【図6】



THIS PAGE BLANK (USPTO)